

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2005 年 10 月 27 日 (27.10.2005)

PCT

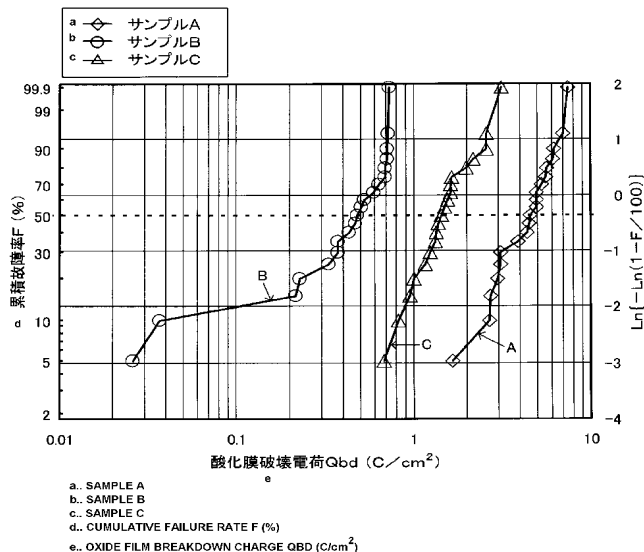
(10) 国際公開番号  
WO 2005/101518 A1

- (51) 国際特許分類<sup>7</sup>: H01L 29/78, C23C 16/42, H01L 21/316, 21/336
- (21) 国際出願番号: PCT/JP2005/003731
- (22) 国際出願日: 2005 年 3 月 4 日 (04.03.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2004-115470 2004 年 4 月 9 日 (09.04.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): 富士電機ホールディングス株式会社 (FUJI ELECTRIC HOLDINGS CO., LTD.) [JP/JP]; 〒2100856 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 荻野 正明 (OGINO, Masaaki) [JP/JP]; 〒2400194 神奈川県横須賀市長坂二丁目 2 番 1 号富士電機アドバンステクノロジー株式会社内 Kanagawa (JP). 須ヶ原 紀之 (SUGAHARA, Yoshiyuki) [JP/JP]; 〒2400194 神奈川県横須賀市長坂二丁目 2 番 1 号富士電機アドバンステクノロジー株式会社内 Kanagawa (JP).
- (74) 代理人: 服部 毅巖 (HATTORI, Kiyoshi); 〒1920082 東京都八王子市東町 9 番 8 号 GE エジソンビル八王子 服部特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,

[続葉有]

(54) Title: METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法



(57) Abstract: A semiconductor device having a high withstand voltage and a high reliability is provided by forming a gate insulating film having excellent film uniformity in a trench. An HTO is formed by low pressure CVD method on a trench inner wall of a Si substrate, and then a thermal oxide film is formed on an interface between the HTO and the Si substrate by thermal oxidation process (samples A and C). Thus, film thinning is locally suppressed, and a gate insulating film having excellent film uniformity and a low interface state density can be formed in the trench. A lifetime can be remarkably lengthened compared with a sample (sample B) wherein a gate insulating film is formed of only a thermal oxide film, and the trench gate structure semiconductor device having a high quality and a high reliability without withstand voltage deterioration can be provided.

(57) 要約: トレンチ内に膜厚の均一性の良いゲート絶縁膜を形成し、高耐圧・高信頼性の半導体装置を提供する。  
Si基板のトレンチ内壁に減圧CVD法でHTOを形成し、その後、熱酸化処理を行ってHTOとSi基板の界面に熱酸化膜を形成する(サンプルA, C)。これにより、局所的に薄膜化が抑えられ、膜厚の

[続葉有]

WO 2005/101518 A1



ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,

添付公開書類:  
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

均一性が良好で、かつ、界面準位密度の低いゲート絶縁膜をトレンチ内に形成することができる。熱酸化膜のみでゲート絶縁膜を形成したもの（サンプルB）に比べて寿命が大幅に長くなり、耐圧低下のない高品質・高信頼性のトレンチゲート構造の半導体装置を実現することが可能になる。

## 明 細 書

### 半導体装置の製造方法

### 技術分野

[0001] 本発明は半導体装置の製造方法に関し、特に半導体基板のトレンチに沿って電流経路を形成したトレンチゲート構造の半導体装置の製造方法に関する。

### 背景技術

[0002] 図4はプレーナゲート構造の半導体装置の断面図の一例である。

この図4に示す半導体装置は、いわゆる横型MISFET(Metal Insulator Semiconductor Field Effect Transistor)である。このMISFET100には、 $p^-$ 型半導体基板101の表面層に $p$ 型ベース領域102と $n^+$ 型ドレイン領域103が形成されており、 $p$ 型ベース領域102内に形成された $p^+$ 型ソース領域104と $n^+$ 型ソース領域105上にはソース電極106が、 $n^+$ 型ドレイン領域103上にはドレイン電極107が、それぞれ形成されている。ソース電極106とドレイン電極107の間にはゲート絶縁膜108が形成され、その上にゲート電極109が形成されている。

[0003] このMISFET100では、 $p$ 型ベース領域102と $n^+$ 型ドレイン領域103の間に $n^-$ 型拡張ドレイン110が形成されている。この $n^-$ 型拡張ドレイン110によって、 $n^+$ 型ソース領域105と $n^+$ 型ドレイン領域103の間の電界が緩和され、高耐圧化が図られる。

[0004] MISFET100は、大きく、ソース領域(領域長 $L1$ )、チャネル領域(領域長 $L2$ )、拡張ドレイン領域(領域長 $L3$ )およびドレイン領域(領域長 $L4$ )によって構成され、そのデバイスピッチは各領域長の総和( $L1+L2+L3+L4$ )で決まる。このデバイスピッチが小さいほど、デバイスの集積度が上がり、また、そのオン抵抗を低下させることができるようになる。

[0005] しかしながら、デバイスの高耐圧化を図る場合、耐圧には拡張ドレイン領域の寄与が大きく、その領域長 $L3$ が大きくなるほど高耐圧になるため、高耐圧化を図ればデバイスピッチが増加し、集積度と耐圧はトレードオフの関係にあった。

[0006] そこで、近年では、拡張ドレイン領域を半導体基板のトレンチ部分に形成して集積度向上と耐圧向上を同時に実現するTLPM(Trench Lateral Power MISFET)も提案

されている。

[0007] 図5はTLPMの一例の部分断面図である。

この図5に示すTLPM200のp<sup>-</sup>型半導体基板201には、トレンチ202が形成されており、このトレンチ202の側方にはn型拡張ドレイン203が形成され、その下方にはp型ベース領域204が形成されている。また、トレンチ202には、その側壁にゲート絶縁膜205が形成されており、その内側に多結晶シリコンからなるゲート電極206が形成されている。トレンチ202には、ゲート電極206のさらに内側に第1の絶縁膜207が形成されており、この第1の絶縁膜207を介してソース電極208が形成されている。ソース電極208は、トレンチ202の底部において、p型ベース領域204内に形成されたn<sup>+</sup>型ソース領域209に接続されている。

[0008] トレンチ部分を除くp<sup>-</sup>型半導体基板201の表面には、第2の絶縁膜210が形成されており、トレンチ部分に形成した第1の絶縁膜207は、この第2の絶縁膜210上にまで延びて形成されている。ドレイン電極211は、これら第1、第2の絶縁膜207、210を貫通してn型拡張ドレイン203に接続されている。

[0009] このようなトレンチゲート構造を形成することにより、トレンチ部分に電流経路を形成しつつデバイスピッチを縮小し、それによって高集積化と高耐圧化を共に図ることができる。

[0010] また、図6はトレンチゲート構造の半導体装置の別の例の部分断面図である。

この図6に示すMISFET300は、半導体基板301上にエピタキシャル法等によって形成される電界緩和領域302、電界緩和領域302と反対の導電型のベース領域303、電界緩和領域302と同一の導電型のソース領域304を有している。そして、ソース領域304およびベース領域303を貫通し電界緩和領域302の内部にまで達するように形成されたトレンチ305の内側にゲート絶縁膜306を介してゲート電極307が形成されている。また、ゲート電極307の上部には層間絶縁膜308が形成され、さらにその上部に全体を覆うようにしてソース領域304と接するソース電極309が形成されている。

[0011] このようなトレンチゲート構造の場合も、上記同様、トランジスタがオン状態となったときに電流経路がトレンチ305の側壁に沿って図中縦方向に形成される。そのため、

ゲート電極307すなわちトレンチ305の幅を縮めてもチャネル長を確保することができ、集積度向上および耐圧向上を図ることが可能になっている。

[0012] ところで、上記構造を有するMISFETをはじめとする各種半導体装置のゲート絶縁膜は、主に熱酸化法や化学気相成長 (Chemical Vapor Deposition, CVD) 法により形成される。従来、ゲート絶縁膜の形成に関しては、熱酸化法、CVD法のいずれかを用いて行う方法のほか、熱酸化法とCVD法を組み合わせる方法等も提案されている。

[0013] 組み合わせる方法としては、例えば、プレーナ型半導体装置の製造に関し、熱酸化後にCVDを行うあるいはCVD後に熱酸化を行うことにより、半導体基板とCVD膜の間に熱酸化膜を形成して基板上にゲート絶縁膜を構成する方法が提案されている(例えば特許文献1, 2参照)。また、トレンチ型半導体装置の製造に関しては、半導体基板にトレンチを形成して熱酸化後にCVDを行い、それにアニール処理を行ってトレンチ内にゲート絶縁膜を形成する方法が提案されている(特許文献3参照)。

特許文献1:特開昭62-216370号公報(第2頁、第1図)

特許文献2:特開平6-140627号公報(段落番号[0012]〜[0013], [0018]、図3)

特許文献3:特開2001-85686号公報(段落番号[0010]〜[0011]、図1)

## 発明の開示

### 発明が解決しようとする課題

[0014] トレンチゲート構造は、プレーナゲート構造でトレードオフにあった高集積化と高耐圧化を両立することが可能である。しかし、トレンチは半導体基板をエッチングして形成され、その内壁には半導体基板の様々な面方位が現れる。そのため、ゲート絶縁膜を熱酸化によって形成すると、その面方位の違いによって、その酸化膜にどうしても厚い部分と薄い部分が出てしまうようになる。特にトレンチ上部の角部は、酸化膜の粘性流動が起こるような高温酸化を行っても、酸化による体積膨張と3次元的な構造による応力の作用により、多少は酸化膜厚が薄くなってしまふ。さらに、このような酸化膜の薄膜化は、そのようなトレンチ上部同様、トレンチ底部でも発生する。

[0015] 図7はトレンチ形成後の半導体基板を熱酸化した状態の一例の模式断面図である。

この図7に示すように、半導体基板400を熱酸化すると、半導体基板400の表面およびそこに形成されたトレンチ401の内壁に熱酸化膜402が形成される。しかし、上記のように、トレンチ401の上部や底部では、熱酸化膜402の薄膜化が発生しやすい。さらに、このような状態は、たとえ図7に示したようにトレンチ401の底部をラウンド状に形成したとしても、デバイスピッチの縮小化を図るためにトレンチ401の幅を狭めていけば、それに従って底部の曲率が大きくなるため、いっそう顕著になる。

[0016] 酸化膜厚がこのような薄くなった部分を有している半導体装置では、動作時にその部分に電界の集中が起こり易く、その結果、耐圧が低下するといった問題が生じ得る。

また、ゲート絶縁膜のトータルの膜厚が所定値を超えない範囲内で、このような凹凸の残る熱酸化膜上にさらにCVD膜を形成して膜厚の均一化を図ろうとすることも考えられるが、それでもなお十分に均一化が行われず同様に電界集中、耐圧低下が発生してしまう場合がある。

[0017] また、熱酸化を行った場合には、そのときの体積膨張に起因した残留応力による歪や転位が酸化膜に生じ、それによって電界集中や耐圧低下が引き起こされることもある。

このほか、ゲート絶縁膜の信頼性を低下させる要因としては、トレンチエッチングの際の重金属汚染も挙げることができる。通常、トレンチエッチング後には、エッチングダメージの除去あるいはエッチング時に半導体基板内に侵入する可能性のある鉄、アルミニウム、ニッケル等の重金属の除去を目的として、犠牲酸化膜が形成されたり等方性ドライエッチングでトレンチ内壁が削られたりしていた。しかし、デバイスピッチの縮小化が進んでトレンチ幅が狭くなると、犠牲酸化量を抑えなければならなかったり、等方性ドライエッチングで除去する膜厚を薄くしなければならなかったりして、エッチングダメージ除去や重金属除去を十分に行えなくなってくる。

[0018] 本発明はこのような点に鑑みてなされたものであり、トレンチ内に膜厚の均一性が良く信頼性の高いゲート絶縁膜を形成したトレンチゲート構造を有する半導体装置

の製造方法を提供することを目的とする。

#### 課題を解決するための手段

[0019] 本発明では上記問題を解決するために、トレンチゲート構造を有する半導体装置の製造方法において、半導体基板に形成されたトレンチの内壁にCVD法によって酸化膜を形成した後に、熱酸化法によって前記酸化膜と前記半導体基板との界面に熱酸化膜を形成し、前記トレンチ内に前記酸化膜と前記熱酸化膜とを有するゲート絶縁膜を形成する工程を有することを特徴とする半導体装置の製造方法が提供される。

[0020] このような半導体装置の製造方法によれば、まず、半導体基板のトレンチ内壁にCVD法、例えばカバレッジ特性の良い減圧CVD法によって、均一性良く酸化膜を形成し、その後、例えばパイロジェニック酸化法によって熱酸化処理を行い、CVD法で形成された酸化膜を介して酸素を半導体基板表面に供給して、その界面に熱酸化膜を形成する。これにより、局所的に薄膜化されていない、膜厚の均一性が良好なゲート絶縁膜をトレンチ内に形成することができる。また、CVD法による酸化膜と半導体基板との界面に熱酸化膜を形成することで、界面準位密度の低い安定した界面が得られるようになる。

[0021] また、本発明では、トレンチゲート構造を有する半導体装置の製造方法において、半導体基板に形成されたトレンチの内壁に、ジクロロシランと亜酸化窒素とを含むガスを原料に用いたCVD法によって酸化膜を形成する工程を有することを特徴とする半導体装置の製造方法が提供される。

[0022] このような半導体装置の製造方法によれば、トレンチの内壁にCVD法によって酸化膜を形成する際の原料にジクロロシランと亜酸化窒素を用いることで、ジクロロシラン中の塩素のゲッタリング効果により、トレンチエッチング時に半導体基板内に重金属が侵入してもそれが除去されやすくなる。

#### 発明の効果

[0023] 本発明の半導体装置の製造方法は、半導体基板のトレンチ内壁にゲート絶縁膜を形成する際に、先にCVD法で酸化膜を形成し、その後にその酸化膜と半導体基板との間に熱酸化法で熱酸化膜を形成するようにした。これにより、トレンチ内に形成さ

れるゲート絶縁膜の局所的な薄膜化が抑えられ、耐圧低下がなく界面準位の低い高品質のゲート絶縁膜を形成することができ、重金属汚染を抑えて、その信頼性を向上させることができる。また、それによって、高品質かつ高信頼性のトレンチゲート構造の半導体装置を実現することが可能になる。

[0024] 本発明の上記および他の目的、特徴および利点は本発明の例として好ましい実施の形態を表す添付の図面と関連した以下の説明により明らかになるであろう。

#### 図面の簡単な説明

[0025] [図1]トレンチゲートサンプルの定電流TDDB特性の評価結果である。

[図2]プレーナゲートサンプルの定電流TDDB特性の評価結果である。

[図3]ゲート絶縁膜の模式断面図である。

[図4]プレーナゲート構造の半導体装置の断面図の一例である。

[図5]TLPMの一例の部分断面図である。

[図6]トレンチゲート構造の半導体装置の別の例の部分断面図である。

[図7]トレンチ形成後の半導体基板を熱酸化した状態の一例の模式断面図である。

#### 発明を実施するための最良の形態

[0026] 以下、本発明の実施の形態を図面を参照して詳細に説明する。

まず、ゲート絶縁膜の信頼性評価に用いたトレンチゲート構造のMOSキャパシタの形成方法について説明する。

[0027] MOSキャパシタの形成では、まずSi基板上にエッチングでトレンチを形成し、Si基板(トレンチ表面)に残ったエッチングダメージを除去するために犠牲酸化を行った後、素子分離(Local Oxidation of Silicon, LOCOS)を形成する。このときトレンチは、例えば幅 $2.6\mu\text{m}$ 、深さ $2\mu\text{m}$ となるようにする。

[0028] 次いで、ジクロロシラン( $\text{SiH}_2\text{Cl}_2$ )と亜酸化窒素( $\text{N}_2\text{O}$ )を原料ガスとする減圧CVD法によって高温酸化膜(High Temperature Oxide, HTO)を膜厚13nmで形成する。その際、形成条件は、例えば、ジクロロシランと亜酸化窒素のガス流量をそれぞれ150ml/min( $0^\circ\text{C}$ , 101.3kPa)と75ml/min( $0^\circ\text{C}$ , 101.3kPa)とし(以下、この条件下でのこの流量単位を「sccm」と記す。)、成膜温度を $800^\circ\text{C}$ 、圧力を60Paとする。



- [0029] ジクロロシランと亜酸化窒素の流量比は1:5〜1:0.3程度の広い範囲で可変であるが、通常はジクロロシランの流量比が高いほど成膜速度は大きくなる。そのため、例えば、最終的に形成されるゲート絶縁膜の膜厚(「最終膜厚」という。)が100nmと厚く、膜厚の厚いHTOの形成が必要である場合には、ジクロロシランと亜酸化窒素の流量比を1:0.3とすれば効率的に厚いHTOを形成することができる。
- [0030] ここでは、トレンチにまずHTOを13nmの膜厚で形成し、その後に熱酸化処理を行ってゲート絶縁膜を形成するが、その最終膜厚が17nmになるようにする。そのため、形成すべきHTOの膜厚は比較的薄く、ジクロロシランと亜酸化窒素の流量比を2:1としている。しかし、このときの成膜時間は20分程度であるため、ジクロロシランの流量比をもう少し減らしてもスループットが低下することはほとんどなく、例えばジクロロシランと亜酸化窒素の流量比を1:2としても何ら構わない。
- [0031] 次に、熱処理炉において温度約800℃、パイロジェニック雰囲気中で熱酸化処理を行う。この熱酸化処理で酸化種( $O_2$ ,  $H_2O$ )は、先に形成されているHTO中を拡散してSi基板表面に供給され、それによってHTOとSi基板の界面に熱酸化膜が形成される。この熱酸化処理の際には、HTOと熱酸化膜で形成されるゲート絶縁膜の最終膜厚が17nmとなるよう、熱酸化時間を調整する。熱酸化処理後、引き続き同じ熱処理炉を使用して、窒素雰囲気中で約1000℃まで昇温しこの温度で10分間、アニール処理を行う。最後に、ゲート電極となるポリシリコンを減圧CVD法によって形成し、フォトリソグラフィ技術によってゲート電極を形成する。その後、層間絶縁膜の形成等を行い、さらにAl配線の形成まで行って、MOSキャパシタを形成する(サンプルA)。このとき、MOSキャパシタのゲート面積は0.25mm<sup>2</sup>である。
- [0032] 次に、このようにしてトレンチゲート構造のMOSキャパシタを形成したトレンチゲートサンプル(サンプルA)の定電流TDDB(Time Dependent Dielectric Breakdown)特性の評価について説明する。
- [0033] なお、ここでは比較のため、Si基板のトレンチに熱酸化処理とアニール処理を行って熱酸化膜のみで最終膜厚17nmのゲート絶縁膜を形成したサンプルB、トレンチに減圧CVD法で膜厚10nmのHTOを形成した後に熱酸化処理およびアニール処理を行って最終膜厚17nmのゲート絶縁膜を形成したサンプルCについても、定電流T

DDB特性試験を行っている。なお、各サンプルA, B, Cは、ゲート絶縁膜を除くその他の各構成要素および形成条件等は同じにしている。

[0034] 図1はトレンチゲートサンプルの定電流TDDB特性の評価結果である。

この図1において、横軸は酸化膜破壊電荷 $Q_{bd}$  ( $C/cm^2$ )、縦軸は累積故障率 $F$  (%)をそれぞれ示している。また、この定電流TDDB特性試験では、トレンチゲート構造を有する各サンプルA, B, Cにそれぞれ、1枚のウエハにつき20個のMOSキャパシタが形成されているものを用い、ストレス電流密度 $0.1 A/cm^2$ 、ゲート負バイアスの条件で試験を行っている。

[0035] 図1より、累積故障率 $F$ が50%になるときの酸化膜破壊電荷 $Q_{bd}$ を50% $Q_{bd}$ とすると、各サンプルA, B, Cの50% $Q_{bd}$ は次の表1に示すようになる。

[0036] [表1]

	50% $Q_{bd}$ ( $C/cm^2$ )
サンプルA (HTO(13nm)形成→熱酸化・アニール処理)	4. 54
サンプルB (熱酸化)	0. 48
サンプルC (HTO(10nm)形成→熱酸化・アニール処理)	1. 43

(各サンプルのゲート絶縁膜の最終膜厚は17nm)

[0037] この表1に示したように、サンプルAでは50% $Q_{bd}$ が $4.54 C/cm^2$ であるのに対し、サンプルBでは $0.48 C/cm^2$ 、サンプルCでは $1.43 C/cm^2$ となる。この表1の結果より、膜厚13nmのHTO形成後に熱酸化処理とアニール処理を行ってゲート絶縁膜を形成したサンプルAは、熱酸化膜のみで形成したサンプルBに比べ、ゲート絶縁膜の寿命が約10倍長くなる。

[0038] また、膜厚10nmのHTO形成後に熱酸化処理とアニール処理を行ってゲート絶縁膜を形成したサンプルCは、HTOを膜厚13nmで形成したサンプルAよりはゲート絶縁膜の寿命が短くなるものの、熱酸化膜のみのサンプルBに比べればゲート絶縁膜の寿命は約3倍長くなる。

[0039] 次に、酸化膜の形成方法の違いが界面準位密度(Dit)に及ぼす影響について説

明する。

酸化膜形成方法の異なる各サンプルの界面準位密度を測定するため、ここでは、ジクロロシランと亜酸化窒素を原料ガスとする減圧CVD法によってベアSiウエハにHTOを形成したサンプルD、サンプルDのHTO形成後さらに熱酸化処理を行ってSiO<sub>2</sub>/Si界面に熱酸化膜を形成した後アニール処理を行ったサンプルEについて、水銀プローブによるCV測定を行っている。さらに、サンプルD形成時のジクロロシランをモノシランに代えてベアSiウエハにHTOを形成したサンプルF、サンプルFのHTO形成後さらに熱酸化処理を行ってSiO<sub>2</sub>/Si界面に熱酸化膜を形成した後アニール処理を行ったサンプルGについても、同じくCV測定を行っている。なお、各サンプルD、E、F、Gの酸化膜の最終膜厚は、ここでは17nmとしている。

[0040] これらの各サンプルD、E、F、GについてCV測定により得られる界面準位密度(eV/cm<sup>2</sup>)は次の表2に示すようになる。

[0041] [表2]

	界面準位密度Dit (eV/cm <sup>2</sup> )
サンプルD (ジクロロシラン減圧CVD)	$3.3 \times 10^{11}$
サンプルE (ジクロロシラン減圧CVD→熱酸化処理)	$2.6 \times 10^{11}$
サンプルF (モノシラン減圧CVD)	$6.6 \times 10^{11}$
サンプルG (モノシラン減圧CVD→熱酸化処理)	$2.5 \times 10^{11}$

(各サンプルの酸化膜の最終膜厚は17nm)

[0042] この表2に示したように、サンプルDの界面準位密度が $3.3 \times 10^{11}$  eV/cm<sup>2</sup>であるのに対し、熱酸化膜を形成したサンプルEの界面準位密度は $2.6 \times 10^{11}$  eV/cm<sup>2</sup>となり、HTO形成後にSiO<sub>2</sub>/Si界面に熱酸化膜を形成することによって界面準位密度が低下するようになる。

[0043] また、サンプルFの界面準位密度が $6.6 \times 10^{11}$  eV/cm<sup>2</sup>であるのに対し、熱酸化膜を形成したサンプルGの界面準位密度は $2.5 \times 10^{11}$  eV/cm<sup>2</sup>となり、HTOの形成にジクロロシランに代えてモノシランを用いても同様に界面準位密度の低下が認め

られ、その値はジクロロシランを用いたときとほぼ同じである。

[0044] このことから、減圧CVD法でHTOを形成した後に熱酸化処理を行ってゲート絶縁膜を形成する場合には、原料ガスにジクロロシラン系ガスとモノシラン系ガスのいずれを用いても構わず、いずれによっても同等の低い界面準位密度を実現することができるということができる。

[0045] 次に、界面準位密度がゲート絶縁膜の寿命に及ぼす影響について説明する。

そこでここではまずSi基板を用いてプレーナゲート構造のMOSキャパシタを形成し、このプレーナゲートサンプルについて定電流TDDB特性試験を行い、ゲート絶縁膜の寿命の評価を行っている。

[0046] ここで用いるプレーナゲートサンプルは、上記のサンプルAの形成方法と同様の手順で形成する。ここではトレンチが形成されていないSi基板にゲート絶縁膜を、熱酸化処理とアニール処理を行って熱酸化膜のみで形成したサンプルH、HTOのみで形成したサンプルI、膜厚13nmのHTO形成後に熱酸化処理とアニール処理を行って形成したサンプルJ、膜厚10nmのHTO形成後に熱酸化処理とアニール処理を行って形成したサンプルKを用いて定電流TDDB特性試験を行っている。なお、各サンプルH, I, J, Kのゲート絶縁膜の最終膜厚は17nmとなるようにしており、サンプルH, Iではこの最終膜厚となるようにそれぞれ熱酸化膜、HTOを形成し、また、サンプルJ, Kではこの最終膜厚となるようにHTO形成後の熱酸化処理時間を調整している。

[0047] 図2はプレーナゲートサンプルの定電流TDDB特性の評価結果である。

この図2において、横軸は酸化膜破壊電荷 $Q_{bd}$  ( $C/cm^2$ )、縦軸は累積故障率 $F$  (%)をそれぞれ示している。また、この定電流TDDB特性試験では、各サンプルH, I, J, Kにそれぞれ、1枚のウエハにつき40個のMOSキャパシタが形成されているものを用い、ストレス電流密度 $0.1 A/cm^2$ 、ゲート負バイアスの条件で試験を行っている。図2より、各サンプルH, I, J, Kの50% $Q_{bd}$ は次の表3に示すようになる。

[0048] [表3]

	50%Qbd (C/cm <sup>2</sup> )
サンプルH (熱酸化)	28. 8
サンプルI (HTO形成)	7. 3
サンプルJ (HTO(13nm)形成→熱酸化・アニール処理)	17. 4
サンプルK (HTO(10nm)形成→熱酸化・アニール処理)	17. 4

(各サンプルのゲート絶縁膜の最終膜厚は17nm)

[0049] この表3に示したように、プレーナゲートサンプルの場合、熱酸化処理とアニール処理を行って熱酸化膜のみでゲート絶縁膜を形成したサンプルHの50%Qbdが最も大きく(28. 8C/cm<sup>2</sup>)、ゲート絶縁膜の寿命が最も長くなる。一方、HTOのみでゲート絶縁膜を形成したサンプルIの50%Qbdは低いが(7. 3C/cm<sup>2</sup>)、HTOをそれぞれ所定の膜厚で形成した後に熱酸化を行ったサンプルJ, Kは50%Qbdが高くなり(共に17. 4C/cm<sup>2</sup>)、熱酸化のみのサンプルHには及ばないものの、ゲート絶縁膜の寿命がHTO形成のみのサンプルIの2倍以上になる。

[0050] このようにSiO<sub>2</sub>/Si界面に熱酸化膜を形成すると、その界面準位密度が低下して安定した界面が得られるようになるとともに、ゲート絶縁膜の寿命を大幅に延ばすことが可能になるということができる。上記CV測定結果と同様に考えれば、熱酸化膜を形成したことでサンプルJはサンプルIよりもその界面準位密度が低くなっており、界面準位密度の低減はゲート絶縁膜の長寿命化に大きく寄与するということができる。

[0051] HTOと熱酸化膜で構成されるゲート絶縁膜については、それがプレーナゲート構造である場合(サンプルJ, K)には熱酸化膜のみのゲート絶縁膜(サンプルH)よりもその寿命が短い、それがトレンチゲート構造である場合(サンプルA, C)には熱酸化膜のみのゲート絶縁膜(サンプルB)よりもその寿命が長くなる。

[0052] このことから、トレンチゲート構造の場合には、Si基板が露出した状態で熱酸化を行う場合酸化速度が早いためにトレンチ内壁の様々な面方位による熱酸化膜の局所的な薄膜化が発生する。この後にHTOを堆積しても最初の熱酸化膜の膜厚不均一性を補うことができず、結果として局部的薄膜化によりゲート絶縁膜の寿命が短くなって

しまうのに対し、HTO形成後に熱酸化を行う場合では酸化種がHTO中を拡散してHTOとSi基板の界面まで達してから酸化反応が生じるため、前者よりも酸化速度が低下してSi基板の面方位依存性が抑えられて局所的な薄膜化が発生し難く、ゲート絶縁膜の寿命が長くなるものと考えられる。従来特に薄膜化が著しいトレンチコーナ一では、この効果が大きく寄与するものと推察される。

[0053] したがって、トレンチゲート構造の半導体装置を製造する場合には、HTOの膜厚にも依るが、トレンチに熱酸化膜を形成した後にHTOを形成するよりも、トレンチにHTOを形成した後にこのHTOとSi基板の界面に熱酸化膜を形成した方が、膜厚の均一性が良く、また信頼性の高いゲート絶縁膜を形成することができる。

[0054] 次に、ゲート絶縁膜をHTOと熱酸化膜で形成する場合における両者の体積比について説明する。

上記の表3にも示したように、これまでプレーナゲート構造の場合には、HTOの体積率が小さいほどゲート絶縁膜の寿命が長くなる傾向があることが別途確認されている。一方、トレンチゲート構造の場合には、次の表4に示すように、HTOの膜厚を一定値以下とすると却ってゲート絶縁膜の寿命が短くなっていく傾向がある。

[0055] [表4]

HTO体積率 (%)	HTO膜厚 (nm)	50%Qbd (C/cm <sup>2</sup> )
95	16	4. 23
76	13	4. 54
59	10	1. 43
41	7	0. 65
0	0	0. 48

(ゲート絶縁膜の最終膜厚は17nm)

[0056] この表4に示したように、HTOと熱酸化膜のゲート絶縁膜の最終膜厚が17nmである場合、HTOが膜厚13nm(体積率76%)のときに50%Qbdは最も高く(4. 54C/cm<sup>2</sup>)、膜厚16nm(体積率95%)になると50%Qbdが若干低下するようになる(4. 23C/cm<sup>2</sup>)。逆に、膜厚10nm(体積率59%)、7nm(体積率41%)、0nm(体積率0%)と薄くする(体積率を減少させる)と、50%Qbdも減少するようになる(それぞれ1.

43C/cm<sup>2</sup>、0.65C/cm<sup>2</sup>、0.48C/cm<sup>2</sup>。

- [0057] このような違いは、前述したような局所的な薄膜化が原因で生じるものと考えられる。すなわち、ゲート絶縁膜の最終膜厚が17nmと決まっていれば、熱酸化膜に先立って形成されるHTOの膜厚が薄ければその分、その後に形成される熱酸化膜の膜厚分率が大きくなることになる。その場合、酸化速度がSi基板の面方位依存性の影響をより強く受けるようになり、局所的、特にトレンチコーナーにおいて薄膜化が発生するようになる。このような薄膜化が発生する結果、デバイス動作時にはそのような部分に電界集中が発生し易くなり、ゲート絶縁膜の寿命が短くなってしまうようになる。
- [0058] 表4より、ゲート絶縁膜の最終膜厚を17nmとした場合、HTOは膜厚10nm（体積率59%）以上で形成することが望ましい。それによってゲート絶縁膜の寿命を熱酸化のみで形成したときよりも3倍程度からそれ以上に延ばすことができるようになる。また、HTOのみでゲート絶縁膜を形成した場合には前述のような界面準位密度の影響を大きく受けるようになるので（表2、表3参照）、わずかに界面を熱酸化する程度で済むような体積率となる膜厚でHTOを形成することが好ましい。
- [0059] なお、ここではゲート絶縁膜の最終膜厚が17nmである場合について述べたが、これとは異なる最終膜厚のゲート絶縁膜を有するトレンチゲート構造の半導体装置の製造に適用する場合であっても、同様の体積率の範囲で同様の効果を得ることができる。実際には熱酸化による膜厚の制御性を考慮して、熱酸化膜に先立って形成されるHTOの体積率を、最終的に形成されるべきゲート絶縁膜のおよそ50%～95%の範囲に設定するようにすることが好ましい。
- [0060] 次に、熱酸化処理およびアニール処理について説明する。
- ジクロロシランを含む原料ガスを用いてHTOを形成した場合には、膜中に塩素および水素がそのまま残留することが知られている。HTOに残留する塩素や水素は、酸化膜中で電子トラップとして作用し、ゲート絶縁膜の寿命を短くする要因の1つとなる。そこで、上記の約800℃での熱酸化処理、および窒素中、約1000℃で10分間のアニール処理を行ったときのHTO中の塩素濃度および水素濃度をSIMS（Secondary Ion Mass Spectroscopy）によって調査した。
- [0061] その結果、塩素濃度については、HTO形成直後では $2 \times 10^{21} / \text{cm}^3$ であったのに

対し、これを熱酸化処理した後では検出限界以下にまで低下し、熱酸化処理によってHTO中から塩素をほとんど除去することができていることがわかった。また、HTO中の水素濃度については、HTO形成直後では $2 \times 10^{21} / \text{cm}^3$ であったのに対し、これを熱酸化処理すると $3 \times 10^{20} / \text{cm}^3$ に減少していた。さらに、これをアニール処理したもののについてはその水素濃度が検出限界以下にまで低下し、アニール処理によってHTO中から水素をほとんど除去することができていることがわかった。

[0062] このように熱酸化処理およびアニール処理を行うことで、まず熱酸化処理で塩素が、そして続くアニール処理によって水素が、それぞれHTO中からほとんど除去され、HTO中の電子トラップをほぼ消滅させることができるようになる。これにより、信頼性の高いゲート絶縁膜を形成することができ、デバイスの電気的特性の改善を図ることができるようになる。

[0063] なお、トレンチゲート構造の半導体装置の製造プロセスにおいて、アニール処理は必ずしも実施することを要せず、HTO形成後に熱酸化処理のみ行ってゲート絶縁膜を形成することも可能である。これによっても一定の電子トラップ消滅効果は得ることは可能である。また、アニール温度は上記のように約 $1000^\circ\text{C}$ であれば十分に効果が得られ、およそ $850^\circ\text{C}$ 以上であれば膜中水素濃度低減について同様の効果を得ることができる。

[0064] 次に、ゲート絶縁膜の形成条件をより詳細に検討した結果について説明する。

ゲート絶縁膜を形成する際の熱酸化は、上記のように原料中の水素と酸素の熱反応(パイロジェニック反応)を利用するパイロジェニック酸化法を用いて行うことが好ましい。ここでは、パイロジェニック酸化の条件がゲート絶縁膜の信頼性に与える影響について検討した結果について述べる。

[0065] まず、ゲート絶縁膜の信頼性評価に用いたトレンチゲート構造のMOSキャパシタの形成方法について説明する。

MOSキャパシタは、まず、Si基板にエッチングで底部がラウンド状のトレンチを形成し、Si基板(トレンチ表面)に残ったエッチングダメージを除去するために犠牲酸化を行った。このときトレンチは、幅 $0.6 \mu\text{m}$ 、深さ $2 \mu\text{m}$ とし、また、犠牲酸化膜の膜厚は、 $50\text{nm}$ ～ $150\text{nm}$ の範囲とした。



- [0066] 次いで、ゲート絶縁膜を形成するため、まずジクロロシランと亜酸化窒素を原料ガスとする減圧CVD法によってHTOを膜厚80nmで形成した。その際、形成条件は、ここではジクロロシランと亜酸化窒素のガス流量をそれぞれ200sccmと66sccmとし、成膜温度を約800℃、圧力を60Paとした。次いで、熱処理炉において、適当な酸化温度、ここでは温度約1000℃で、反応ガスを不活性ガスで希釈してパイロジェニック酸化を行い(希釈パイロジェニック酸化)、最終膜厚100nmのゲート絶縁膜を形成した。
- [0067] このような希釈パイロジェニック酸化により、酸素は先に形成されているHTO中を拡散してSi基板表面に供給され、それによってHTOとSi基板の界面に熱酸化膜が形成される。さらに、ここで行ったような酸化温度が約1000℃といった高温の希釈パイロジェニック酸化(高温希釈パイロジェニック酸化)では、すでに形成されているHTOおよび形成されていく熱酸化膜の粘性流動によってトレンチ部分に存在する応力が緩和されるようになる。
- [0068] 希釈パイロジェニック酸化の際は、希釈ガスに窒素を用い、その希釈比をパイロジェニック酸化雰囲気で生成される水分圧がチャンバ内のガス全体に対して0.03〜0.10の範囲の比率(水分圧比率)となるようにする。また、この熱酸化処理後の最終膜厚が100nmとなるように酸化時間を調整する。このように反応ガスを不活性ガスで希釈することにより、熱酸化膜の膜厚制御が容易になる。特に薄い膜厚の熱酸化膜の形成に有効となる。
- [0069] 例えば、このようにジクロロシランと亜酸化窒素を用いて膜厚80nmのHTOを形成した場合には、水分圧比率0.09、温度約1000℃、15分間の高温希釈パイロジェニック酸化を行うことにより、最終膜厚100nmのゲート絶縁膜を得ることができる。また、最初に膜厚90nmのHTOを形成した場合には、水分圧比率0.03、温度約1000℃、15分間の高温希釈パイロジェニック酸化を行うことにより、最終膜厚100nmのゲート絶縁膜を得ることができる。
- [0070] なお、ここでは、高温希釈パイロジェニック酸化の酸化温度を約1000℃にした場合を例示したが、水分を含んだ雰囲気では温度が約950℃以上であれば酸化膜の粘性流動が起こる。酸化温度を約950℃にした場合には、先に形成されているHTOの

膜厚が同じであれば、例えば水分圧比率を多少増加させるようにする。また、その場合、酸化温度の低温化によって酸化速度は低下するので、例えば酸化時間を15分間以上に調整するようにする。

[0071] 熱酸化処理後は、同じ熱処理炉を使用して、窒素雰囲気中で約1000℃まで昇温し、この温度で10分間、アニール処理を行った。

最後に、ゲート電極となるポリシリコンを減圧CVD法によって形成し、フォトリソグラフィ技術によってゲート電極を形成した。その後、層間絶縁膜の形成等を行い、さらにAl配線の形成まで行って、MOSキャパシタを形成した(サンプルM)。このサンプルMのゲート面積は約20mm<sup>2</sup>であった。

[0072] また、サンプルMとの比較のため、Si基板のトレンチに希釈なしの温度約1000℃でのパイロジェニック酸化(高温パイロジェニック酸化)で最終膜厚100nmのゲート絶縁膜を形成し、温度約1000℃で窒素雰囲気中でアニール処理を行ったサンプルN、トレンチに減圧CVD法で膜厚80nmのHTOを形成した後に希釈なしの温度約800℃という低温でのパイロジェニック酸化(低温パイロジェニック酸化)を行って最終膜厚100nmのゲート絶縁膜を形成し、温度約1000℃で窒素雰囲気中でアニール処理を行ったサンプルO、トレンチに減圧CVD法で膜厚100nmのHTOを形成したサンプルPも併せて形成した。なお、各サンプルM, N, O, Pは、ゲート絶縁膜を除くその他の各構成要素および形成条件等は同じにしている。

[0073] これらのサンプルM, N, O, Pについては、それぞれ80個のMOSキャパシタを用意し、ゲート負バイアスの条件でTZDB(Time Zero Dielectric Breakdown)特性試験を行った。なお、ここでは耐圧を負の値で表し、絶対値の大きいものほど、すなわち値が負で大きいものほど、耐圧が大きいことを示している。TZDB特性試験の結果得られる各サンプルM, N, O, Pの80個のMOSキャパシタの平均耐圧(V)および耐圧が-60V以下のMOSキャパシタの割合(%)は次の表5に示すようになる。

[0074] [表5]

	平均耐圧 (V)	耐圧-60V以下 (%)
サンプルM (HTO(80nm)形成→高温希釈パイロジェニック酸化)	-80	0
サンプルN (高温パイロジェニック酸化(100nm))	-75	7.3
サンプルO (HTO(80nm)形成→低温パイロジェニック酸化)	-77	0
サンプルP (HTO(100nm)形成)	-70	1.9

(各サンプルのゲート絶縁膜の最終膜厚は100nm)

[0075] 表5より、まず平均耐圧については、トレンチに減圧CVD法で膜厚80nmのHTOを形成した後に温度約1000℃での高温希釈パイロジェニック酸化を行って最終膜厚100nmのゲート絶縁膜を形成したサンプルMの平均耐圧が-80Vと最も高い。次いで、サンプルOの-77V、サンプルNの-75V、サンプルPの-70Vという順番で平均耐圧は小さくなる。

[0076] このように平均耐圧がサンプルMで最も高くなる理由としては、まず第1に、サンプルMは、高温希釈パイロジェニック酸化によってHTOおよび熱酸化膜を粘性流動させながら熱酸化膜を形成し、ゲート絶縁膜を形成している点が挙げられる。高温希釈パイロジェニック酸化により、トレンチ部分の応力が緩和されてその上部や底部の局所的な薄膜化が回避されるため、ゲート絶縁膜がトレンチの内壁に均一性良く形成され、その結果、高い平均耐圧が得られるようになる。サンプルMでは、HTOの形成後に温度約800℃の低温パイロジェニック酸化を行ってゲート絶縁膜を形成したサンプルOに比べても高い平均耐圧が得られ、高温希釈条件によって生じる粘性流動が耐圧向上に寄与しているといえることができる。

[0077] そして、第2に、トレンチの内壁にHTOを形成したのみでは表2、表3に示したように $\text{SiO}_2/\text{Si}$ 界面の界面準位密度が高いが、高温希釈パイロジェニック酸化を行ってHTOとSi基板の界面に熱酸化膜を形成することにより、界面準位密度が低く抑えられるようになる点が挙げられる。HTOのみでゲート絶縁膜を形成したサンプルPは、温度約1000℃の高温パイロジェニック酸化によりゲート絶縁膜を形成し、温度約1000℃で窒素雰囲気アニール処理を行ったサンプルNに比べても平均耐圧が劣る。

ている。

[0078] なお、サンプルNに比べてサンプルM, Oの平均耐圧が高くなるのは、図1, 図2, 表1, 表3に示したようなHTOの形成後にパイロジェニック酸化を行ってゲート絶縁膜を形成することの効果の現れである。

[0079] また、表5に示したように、耐圧が $-60\text{V}$ 以下のMOSキャパシタは、パイロジェニック酸化のみでゲート絶縁膜を形成したサンプルNおよびHTOのみでゲート絶縁膜を形成したサンプルPでのみ発生している。HTOの形成後にパイロジェニック酸化を行うサンプルM, Oでは0%となる。

[0080] サンプルNについては、パイロジェニック酸化によるトレンチ内壁の体積膨張に起因する残留応力が低耐圧化を引き起こしている主な要因であり、また、サンプルPについては、 $\text{SiO}_2/\text{Si}$ 界面の界面準位密度の低さが低耐圧化を引き起こしている主な要因である。これに対し、サンプルM, Oでは、ゲート絶縁膜中の約8割がHTO、残りの約2割がパイロジェニック酸化による熱酸化膜で構成されるため、トレンチ部分にエッチングダメージや結晶欠陥が存在していても、トレンチ内壁とHTOの間に熱酸化膜が形成されることで、最終的に得られるゲート絶縁膜へのそれらの影響が抑制されるようになる。

[0081] 図3はゲート絶縁膜の模式断面図である。

上記のように、サンプルM, Oでは、HTOの形成後にパイロジェニック酸化を行うことにより、HTOでSi基板1の体積膨張が抑えられながら熱酸化膜が形成され、Si基板1に形成されたトレンチ2の内壁、特にトレンチ2の上部2aや底部2bに、均一性の良い膜厚のゲート絶縁膜3が形成されるようになる。特にサンプルMでは、このようにHTOの形成後に高温希釈パイロジェニック酸化を行うことにより、高信頼性のゲート絶縁膜3が形成される。なお、サンプルOも一定の信頼性は得られているものの、熱酸化膜の形成が高温希釈条件でないために粘性流動が起こりにくく、サンプルMに比べると若干耐圧は低下する。

[0082] 続いて、トレンチ幅を狭めたサンプルを用いて同様にゲート絶縁膜の形成条件を検討した結果について説明する。

上記のサンプルM, N, O, Pでは、そのトレンチ幅を $0.6\ \mu\text{m}$ としたが、ここではトレ

ンチ幅を $0.4\mu\text{m}$ に狭めたサンプルを形成して、上記同様、TZDB特性試験を行って平均耐圧等を評価した。

[0083] まず、評価に用いたサンプルは、トレンチ幅を $0.4\mu\text{m}$ とする以外は上記のサンプルM, N, O, Pと同条件で形成した。すなわち、ここでは、トレンチ底部をラウンド状に形成し、トレンチに減圧CVD法で膜厚80nmのHTOを形成した後に温度約1000℃での高温希釈パイロジェニック酸化を行って最終膜厚100nmのゲート絶縁膜を形成した後、温度約1000℃で窒素雰囲気アニール処理を行ったサンプルQ、Si基板のトレンチに希釈なしの温度約1000℃での高温パイロジェニック酸化で最終膜厚100nmのゲート絶縁膜を形成した後、温度約1000℃で窒素雰囲気アニール処理を行ったサンプルR、トレンチに減圧CVD法で膜厚80nmのHTOを形成した後に希釈なしの温度約800℃での低温パイロジェニック酸化を行って最終膜厚100nmのゲート絶縁膜を形成した後、温度約1000℃で窒素雰囲気アニール処理を行ったサンプルS、トレンチに減圧CVD法で膜厚100nmのHTOを形成したサンプルTを用いた。なお、各サンプルQ, R, S, Tは、ゲート絶縁膜を除くその他の各構成要素および形成条件等は同じにしている。

[0084] これらのサンプルQ, R, S, Tについて、それぞれ80個のMOSキャパシタを用意し、ゲート負バイアスの条件でTZDB特性試験を行った。各サンプルQ, R, S, Tの80個のMOSキャパシタの平均耐圧(V)および耐圧が $-60\text{V}$ 以下のMOSキャパシタの割合(%)は次の表6に示すようになる。

[0085] [表6]

	平均耐圧 (V)	耐圧 $-60\text{V}$ 以下 (%)
サンプルQ (HTO (80nm) 形成→高温希釈パイロジェニック酸化)	-76	0
サンプルR (高温パイロジェニック酸化 (100nm))	-65	11.4
サンプルS (HTO (80nm) 形成→低温パイロジェニック酸化)	-72	0
サンプルT (HTO (100nm) 形成)	-64	2.1

(各サンプルのゲート絶縁膜の最終膜厚は100nm)

- [0086] 一般に $0.6\ \mu\text{m}$ から $0.4\ \mu\text{m}$ といったようにトレンチ幅が狭まると、通常の熱酸化のみでは酸化時にトレンチ部分に発生した応力が緩和されにくく、ゲート絶縁膜の局所的な薄膜化がいつそう起こりやすくなり、そのような薄膜化が耐圧低下を引き起こす原因となる。
- [0087] 表6より、HTOの形成後にパイロジェニック酸化を行ってゲート絶縁膜を形成するサンプルQ, Sは、パイロジェニック酸化のみでゲート絶縁膜を形成するサンプルRやHTOのみでゲート絶縁膜を形成するサンプルTに比べて平均耐圧が高く、また、耐圧が $-60\text{V}$ 以下になるMOSキャパシタも発生しない。特に高温希釈パイロジェニック酸化を行うサンプルQについては、サンプルR, Tに比べて実質 $10\text{V}$ 以上も平均耐圧が高くなり、ゲート絶縁膜がトレンチ内壁に均一性の良い膜厚で形成されており、かつ、HTOとSi基板の間に熱酸化膜を形成することによって界面準位密度が低く抑えられているといえることができる。
- [0088] なお、一般にHTOの形成後に熱酸化膜を形成してゲート絶縁膜を形成する際には、前述のように、熱酸化膜の膜厚分率が大きいと酸化速度がSi基板の面方位依存性の影響をより強く受けるようになるため、形成する熱酸化膜の膜厚は薄い方が好ましい。しかし、HTOが厚くなるとその後に形成する熱酸化膜の膜厚制御が難しくなってくる点にも留意する必要がある。上記のようにHTOの形成後にパイロジェニック酸化を行ってゲート絶縁膜を形成する方法によれば、ゲート絶縁膜中のHTOの体積率を高くし、かつ、パイロジェニック雰囲気下、特に高温希釈パイロジェニック雰囲気下で熱酸化膜を形成してトレンチ部分の応力の影響を抑制することができる。それにより、トレンチに均一性の良い膜厚のゲート絶縁膜を形成することができ、高耐圧、高信頼性の半導体装置を実現することが可能になる。
- [0089] 続いて、HTO形成時の原料を検討した結果について説明する。
- ゲート絶縁膜を形成する際のHTOの形成は、上記のようにジクロロシランまたはモノシランと亜酸化窒素とを原料ガスとする減圧CVD法によって行うようにした。ここでは、特に原料ガスにジクロロシランを用いた場合のゲート絶縁膜の信頼性について検討した結果について述べる。
- [0090] まず、ここでのゲート絶縁膜の信頼性評価に用いたトレンチゲート構造のMOSキャ

パシタの形成方法について説明する。

MOSキャパシタは、まず、Si基板にエッチングで底部がラウンド状のトレンチを形成し、Si基板(トレンチ表面)に残ったエッチングダメージを除去するために等方性のドライエッチングにより、トレンチ内壁を厚さ50nmまたは100nmエッチングした。そして、その後、犠牲酸化を行った。このときトレンチは、等方性ドライエッチング前で幅 $0.6\mu\text{m}$ 、深さ $2\mu\text{m}$ とし、犠牲酸化膜の膜厚は、100nmとした。また、ここでは等方性ドライエッチングを行わないサンプルも用意した。

- [0091] 等方性ドライエッチング量の異なるこれら3つのサンプルについて、以降は上記したサンプルMの形成方法と同条件にて、ジクロロシランと亜酸化窒素を原料ガスとする減圧CVD法によってHTOを膜厚80nmで形成し、高温希釈パイロジェニック酸化によって熱酸化膜を形成して、最終膜厚100nmのゲート絶縁膜を形成した。その後、窒素雰囲気中で約1000°C、10分間のアニール処理を行い、ゲート電極、層間絶縁膜、Al配線を形成して、MOSキャパシタを形成した。等方性ドライエッチング量に依らずゲート面積は約 $20\text{mm}^2$ であった。
- [0092] ここでは等方性ドライエッチング量0nmのものをサンプルU1とし、等方性ドライエッチング量50nmのものをサンプルU2、等方性ドライエッチング量100nmのものをサンプルU3とする。
- [0093] また、サンプルU1, U2, U3との比較のため、これらと同様、トレンチエッチング後の等方性ドライエッチング量を0nm, 50nm, 100nmとし、それぞれSi基板のトレンチに希釈なしの温度約1000°Cでの高温パイロジェニック酸化で最終膜厚100nmのゲート絶縁膜を形成した後、温度約1000°Cで窒素雰囲気中でアニール処理を行ったサンプルW1, W2, W3も併せて形成した。なお、サンプルW1, W2, W3は、ゲート絶縁膜を除くその他の各構成要素および形成条件等は、それぞれサンプルU1, U2, U3と同じにしている。
- [0094] これらのサンプルU1, U2, U3, W1, W2, W3については、それぞれ80個のMOSキャパシタを用意し、透過型電子顕微鏡を用いた断面観察と、ゲート負バイアスの条件でTZDB特性試験を行った。
- [0095] 各サンプルU1, U2, U3, W1, W2, W3の酸化膜の膜厚を透過型電子顕微鏡を

用いて測定した結果を表7に示す。なお、表7に示したトレンチ外表面酸化膜厚とは、トレンチ以外の基板表面すなわち上記図3に示したa部に形成されている酸化膜の膜厚を表している。また、表7に示したトレンチ内壁酸化膜厚とは、トレンチ深さの半分の位置すなわち上記図3に示したb部に形成されている酸化膜の膜厚を表している。また、表7に示したトレンチ底部酸化膜厚とは、トレンチの底部すなわち上記図3に示したc部に形成されている酸化膜の膜厚を表している。

[0096] [表7]

	トレンチ外 表面酸化膜厚	トレンチ内壁 酸化膜厚	トレンチ底部 酸化膜厚
サンプルU1 (等方性エッチング量0nm)	100	90	90
サンプルU2 (等方性エッチング量50nm)	100	90	90
サンプルU3 (等方性エッチング量100nm)	100	90	90
サンプルW1 (等方性エッチング量0nm)	100	90	58
サンプルW2 (等方性エッチング量50nm)	100	90	63
サンプルW3 (等方性エッチング量100nm)	100	90	66

(各サンプルのゲート絶縁膜の最終膜厚は100nm)

[0097] 表7より、サンプルU1, U2, U3のステップカバレッジは0.9となる。それに対し、サンプルW1, W2, W3のステップカバレッジはおおよそ0.6程度である。これにより、HTOの形成後に高温希釈パイロジェニック酸化を行ってゲート絶縁膜を形成することによって、トレンチ内にカバレッジの良好なゲート絶縁膜を形成することができることが確認された。

[0098] また、TZDB特性試験の結果得られる各サンプルU1, U2, U3, W1, W2, W3の80個のMOSキャパシタの平均耐圧(V)および耐圧が-60V以下のMOSキャパシタの割合(%)は次の表8に示すようになる。

[0099] [表8]



	平均耐圧 (V)	耐圧-60V以下 (%)
サンプルU1 (等方性エッチング量0nm)	-76	0
サンプルU2 (等方性エッチング量50nm)	-79	0
サンプルU3 (等方性エッチング量100nm)	-80	0
サンプルW1 (等方性エッチング量0nm)	-68	13.8
サンプルW2 (等方性エッチング量50nm)	-73	8.3
サンプルW3 (等方性エッチング量100nm)	-75	7.3

(各サンプルのゲート絶縁膜の最終膜厚は100nm)

- [0100] 表8より、まず平均耐圧については、等方性ドライエッチング量が同じ場合には、サンプルU1, U2, U3の方がサンプルW1, W2, W3よりも平均耐圧が大幅に高くなる。これはすでに述べたように、サンプルU1, U2, U3ではHTOの形成後に高温希釈パイロジェニック酸化によって熱酸化膜を形成していることの効果である。
- [0101] さらに、表8より、サンプルU1, U2, U3、サンプルW1, W2, W3ともに、等方性ドライエッチング量が増加するに伴い、平均耐圧が増加するようになる。これは主にトレンチ内壁を等方性ドライエッチングすることにより、トレンチ底部の曲率が大きくなり、そこに電界集中が起こりにくくなるためである。
- [0102] また、サンプルU1は、等方性ドライエッチングを行わなくても、等方性ドライエッチングを厚さ100nm行っているサンプルW3以上の平均耐圧を示す。換言すれば、パイロジェニック酸化のみでゲート絶縁膜を形成する場合は、サンプルW3のように厚さ100nmの等方性ドライエッチングを行って初めて、等方性ドライエッチングを行わないうでHTOを形成しその後高温希釈パイロジェニック酸化を行ったサンプルU1と同程度の耐圧レベルに引き上げられる。また、このことから、等方性ドライエッチング量が少ない、すなわちトレンチ底部の曲率が小さい場合であっても、HTO形成後の高温希釈パイロジェニック酸化により膜厚の均一性の良いゲート絶縁膜が形成されているといえることができる。

- [0103] また、耐圧が $-60\text{V}$ 以下のMOSキャパシタの割合は、サンプルU1, U2, U3では、いずれも0%である。それに対し、サンプルW1, W2, W3では、等方性ドライエッチング量が減少するのに伴い、その割合が増加するようになる。この理由としては、まず第1に、サンプルU1, U2, U3ではHTO形成後の高温希釈パイロジェニック酸化によって膜厚の均一性の良いゲート絶縁膜が形成されている点が挙げられる。
- [0104] そして、第2に、HTOを形成する際の原料ガスであるジクロロシランに含まれている塩素が、トレンチエッチングの際にSi基板に鉄、アルミニウム、ニッケルといった重金属が侵入している場合でも、それをCVD反応中にSi基板からゲッタリングする役割を果たしている点が挙げられる。
- [0105] Si基板内に侵入した重金属は、等方性ドライエッチングによって除去することが可能であり、表8のサンプルW1, W2, W3について得られた結果のように、等方性ドライエッチング量の増加とともに耐圧が $-60\text{V}$ 以下のMOSキャパシタの割合が減少する。しかし、ジクロロシランを用いてHTOを形成しないサンプルW1, W2, W3では、等方性ドライエッチングを行ったサンプルW2, W3であっても重金属を十分に除去することができていない。サンプルU1, U2, U3では、ジクロロシランを用いてHTOを形成することにより、等方性ドライエッチングの有無に依らず、重金属を除去することが可能になっている。
- [0106] なお、ジクロロシランの塩素がゲート絶縁膜中に残留したとしても、上記のように、その後のアニール処理によって除去可能である。
- このように、ゲート絶縁膜を形成する際、ジクロロシランを原料に用いてHTOを形成し、その後高温希釈パイロジェニック酸化を行うことにより、トレンチに均一性の良い膜厚のゲート絶縁膜を形成することができ、さらに、重金属汚染の発生を抑えることができるようになる。これにより、高耐圧、高信頼性の半導体装置を実現することが可能になる。上記のように原料にモノシランを用いても高信頼性のゲート絶縁膜の形成は可能であるが、トレンチ幅が狭くなる場合には重金属除去の点でジクロロシランの方が原料としては好ましい。
- [0107] なお、トレンチエッチング後にジクロロシランを用いてHTOを形成する方法は、上記のようにHTOの形成後に熱酸化を行ってゲート絶縁膜を形成するような場合に限ら

ず、HTOのみでゲート絶縁膜を形成する場合にも適用可能である。それにより、トレンチエッチング時に半導体基板内に重金属が侵入した場合でもそれを除去することが可能になるため、ゲート絶縁膜の一定の信頼性向上を図ることは可能である。

[0108] 以上説明したように、本発明の半導体装置の製造方法によれば、トレンチ内での局所的なゲート絶縁膜の薄膜化を抑えることができるとともに、 $\text{SiO}_2/\text{Si}$ 界面を熱酸化による界面とすることで界面準位密度を低下させることができる。さらに、この熱酸化処理とそれに続くアニール処理によってゲート絶縁膜中の塩素や水素等の電子トラップとなるような元素を除去することができる。

[0109] また、熱酸化膜の形成をパイロジェニック酸化、特に高温希釈パイロジェニック酸化によって行うことにより、ゲート絶縁膜の信頼性向上を図ることができる。さらに、そのような熱酸化膜の形成前に行うHTOの形成を、原料ガスにジクロロシランを用いた減圧CVDによって行うことにより、トレンチエッチング時に半導体基板内に重金属が侵入した場合でもそれを除去し、ゲート絶縁膜のいっそうの信頼性向上を図ることができる。

[0110] このようにして形成されたゲート絶縁膜をTLPMをはじめとするトレンチゲート構造を有する各種半導体装置に適用すれば、耐圧等の電気的特性が向上し、非常に信頼性の高い半導体装置を製造することができる。なお、プレーナゲート構造の半導体装置にも適用は可能である。

[0111] 上記については単に本発明の原理を示すものである。さらに、多数の変形、変更が当業者にとって可能であり、本発明は上記に示し、説明した正確な構成および応用例に限定されるものではなく、対応するすべての変形例および均等物は、添付の請求項およびその均等物による本発明の範囲とみなされる。

#### 符号の説明

- [0112] 1 Si基板  
2 トレンチ  
2a 上部  
2b 底部  
3 ゲート絶縁膜

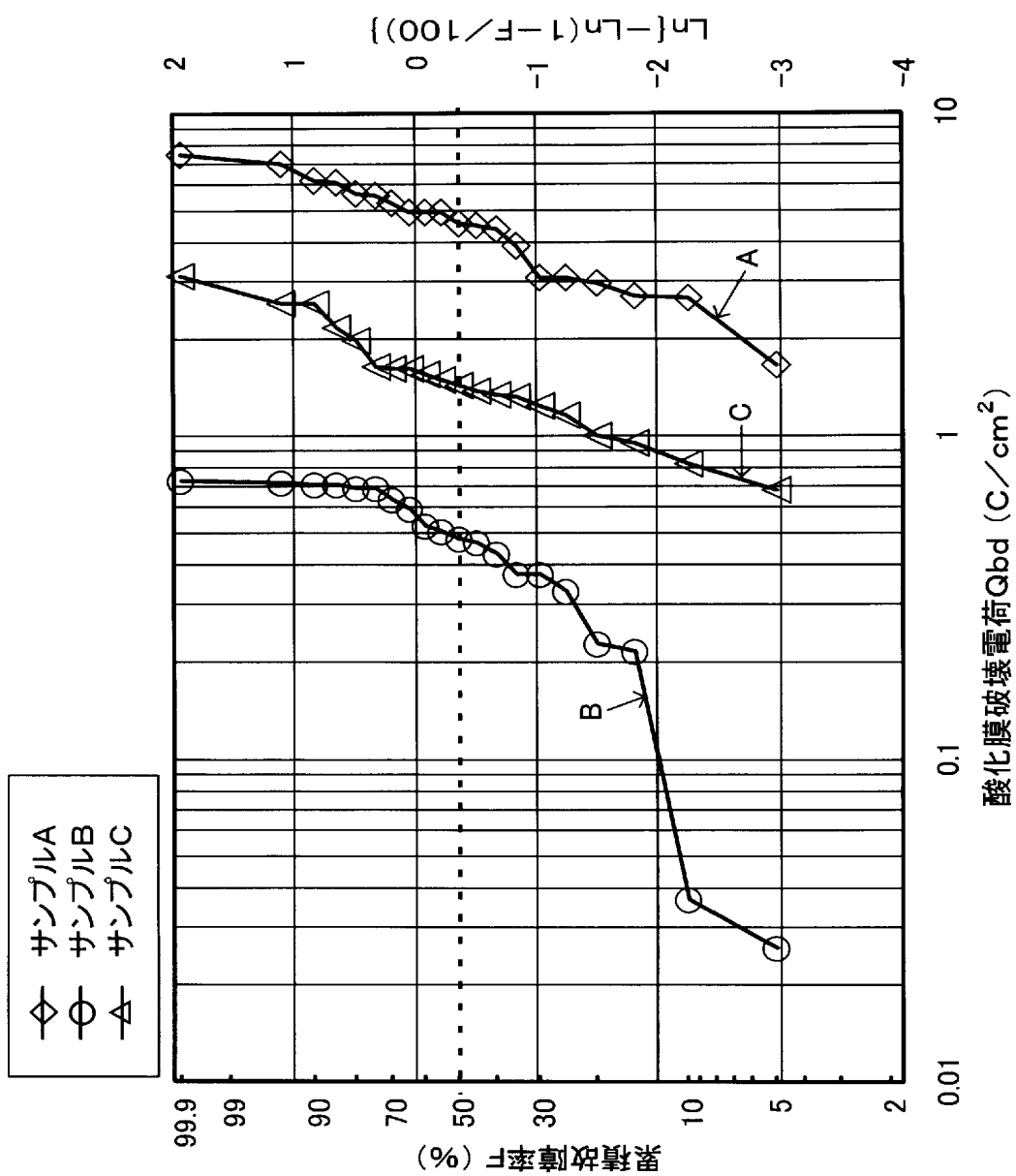
100, 300 MISFET  
101, 201 p<sup>-</sup>型半導体基板  
102, 204 p型ベース領域  
103 n<sup>+</sup>型ドレイン領域  
104 p<sup>+</sup>型ソース領域  
105, 209 n<sup>+</sup>型ソース領域  
106, 208, 309 ソース電極  
107, 211 ドレイン電極  
108, 205, 306 ゲート絶縁膜  
109, 206, 307 ゲート電極  
110 n<sup>-</sup>型拡張ドレイン  
200 TLPM  
202, 305, 401 トレンチ  
203 n型拡張ドレイン  
207 第1の絶縁膜  
210 第2の絶縁膜  
301, 400 半導体基板  
302 電界緩和領域  
303 ベース領域  
304 ソース領域  
308 層間絶縁膜  
402 熱酸化膜

## 請求の範囲

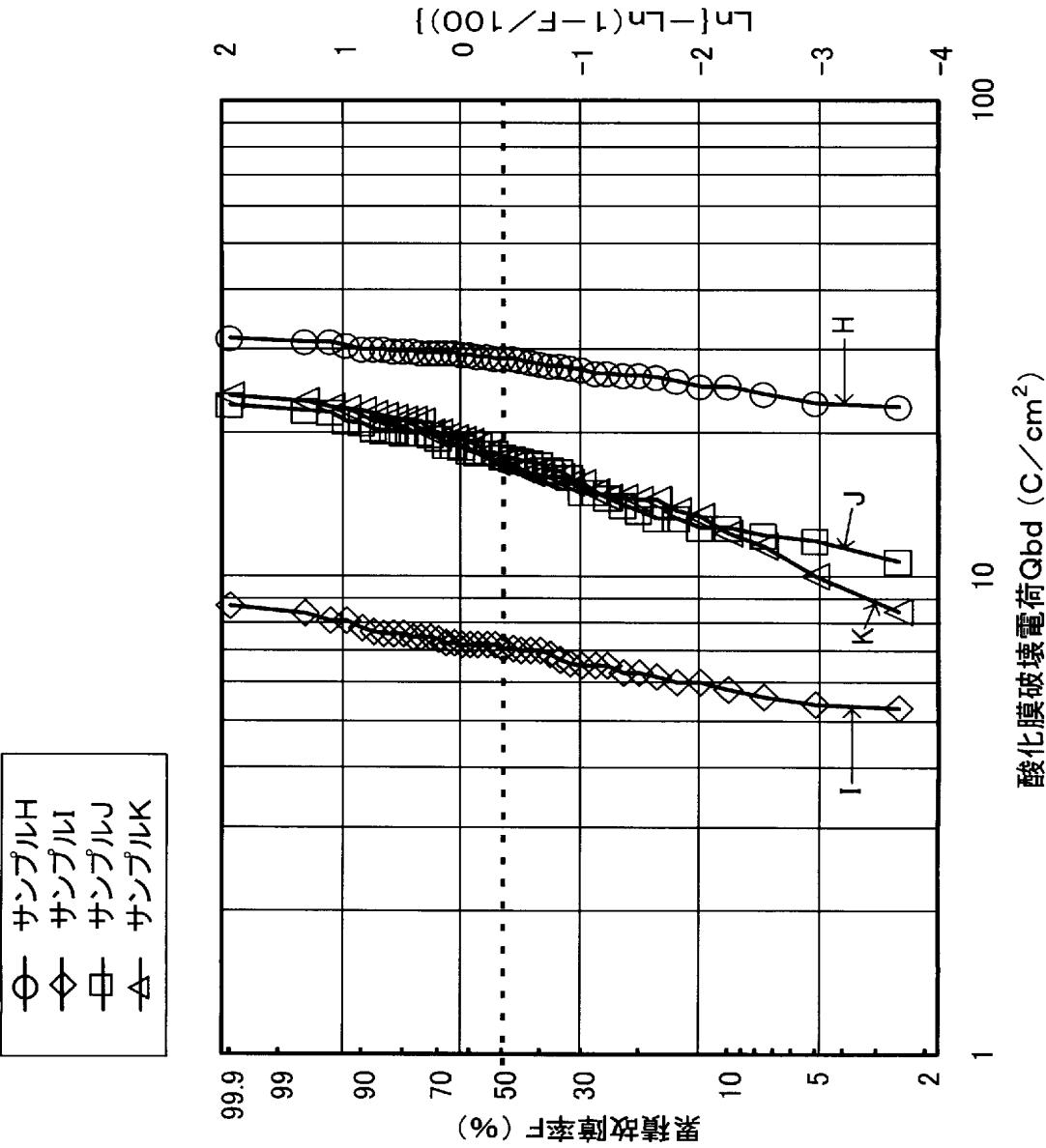
- [1]      トレンチゲート構造を有する半導体装置の製造方法において、  
半導体基板に形成されたトレンチの内壁に化学気相成長法によって酸化膜を形成した後に、熱酸化法によって前記酸化膜と前記半導体基板との界面に熱酸化膜を形成し、前記トレンチ内に前記酸化膜と前記熱酸化膜とを有するゲート絶縁膜を形成する工程を有することを特徴とする半導体装置の製造方法。
- [2]      前記酸化膜は、減圧化学気相成長法によって形成されることを特徴とする請求の範囲第1項記載の半導体装置の製造方法。
- [3]      前記酸化膜は、ジクロロシランと亜酸化窒素とを含むガスを原料に用いて形成されることを特徴とする請求の範囲第1項記載の半導体装置の製造方法。
- [4]      前記酸化膜は、モノシランと亜酸化窒素とを含むガスを原料に用いて形成されることを特徴とする請求の範囲第1項記載の半導体装置の製造方法。
- [5]      前記酸化膜は、最終的に形成される前記ゲート絶縁膜の膜厚の略50%〜略90%の膜厚となるよう形成されることを特徴とする請求の範囲第1項記載の半導体装置の製造方法。
- [6]      前記熱酸化膜は、パイロジェニック酸化法によって前記酸化膜と前記半導体基板との界面に形成されることを特徴とする請求の範囲第1項記載の半導体装置の製造方法。
- [7]      前記熱酸化膜は、反応ガスを不活性ガスで希釈しかつ高温で行う高温希釈パイロジェニック酸化法によって前記酸化膜と前記半導体基板との界面に形成されることを特徴とする請求の範囲第1項記載の半導体装置の製造方法。
- [8]      前記高温希釈パイロジェニック酸化法は、温度略950℃以上で行うことを特徴とする請求の範囲第7項記載の半導体装置の製造方法。
- [9]      前記ゲート絶縁膜を形成する工程の後に、窒素雰囲気でのアニール処理を行う工程を有することを特徴とする請求の範囲第1項記載の半導体装置の製造方法。
- [10]      前記アニール処理は、温度略850℃〜略1000℃で行われることを特徴とする請求の範囲第9項記載の半導体装置の製造方法。
- [11]      トレンチゲート構造を有する半導体装置の製造方法において、

半導体基板に形成されたトレンチの内壁に、ジクロロシランと亜酸化窒素とを含むガスを原料に用いた化学気相成長法によって酸化膜を形成する工程を有することを特徴とする半導体装置の製造方法。

[図1]

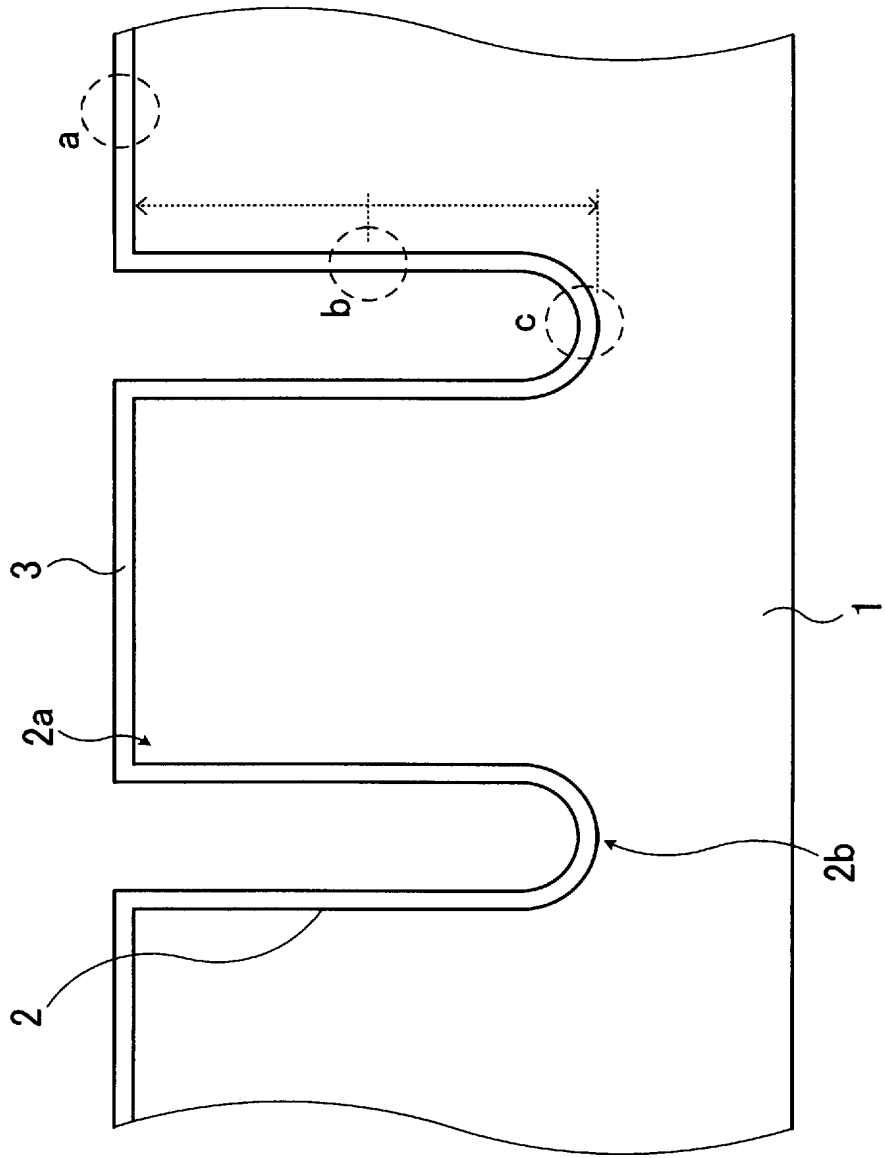


[図2]

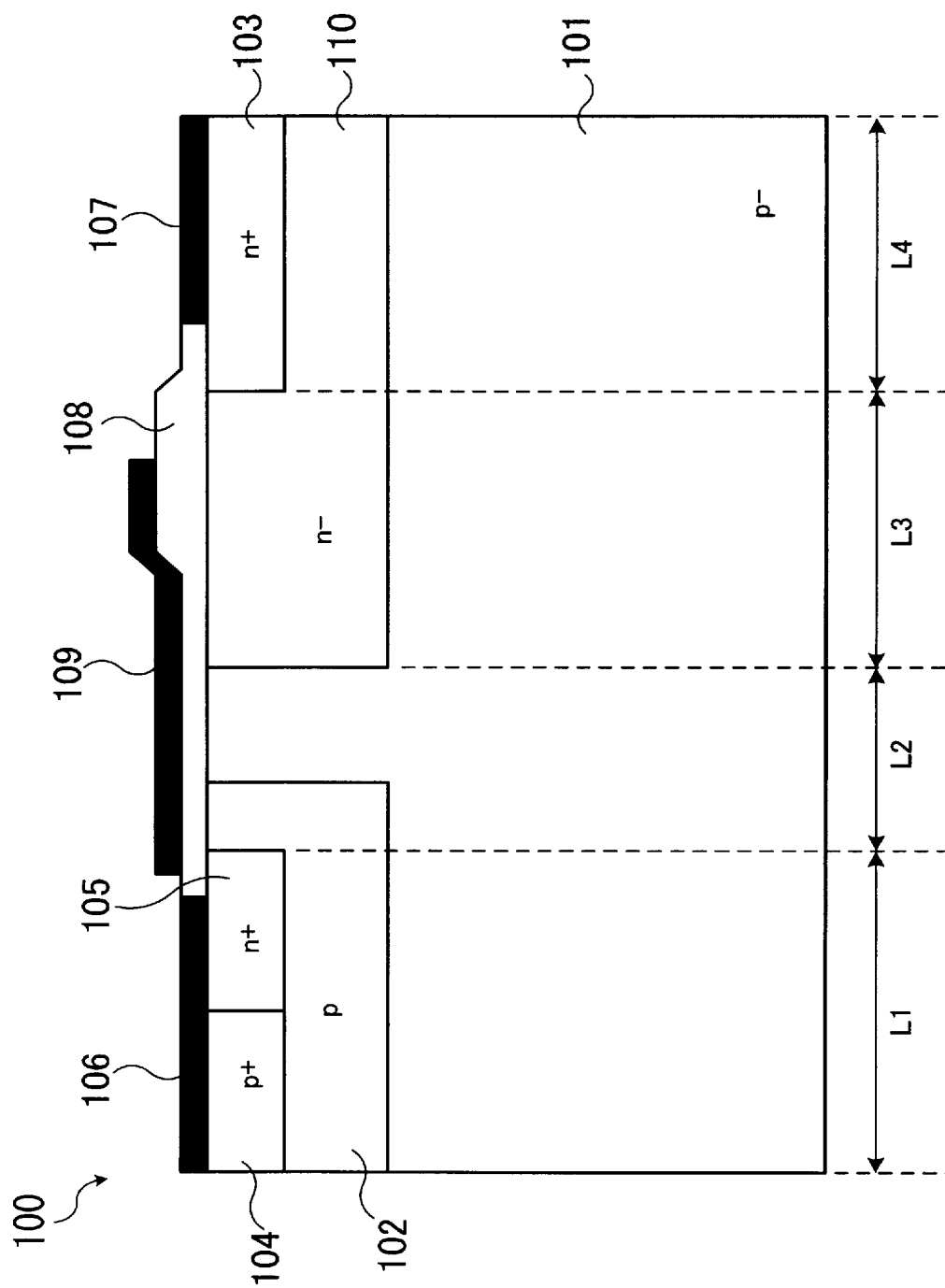




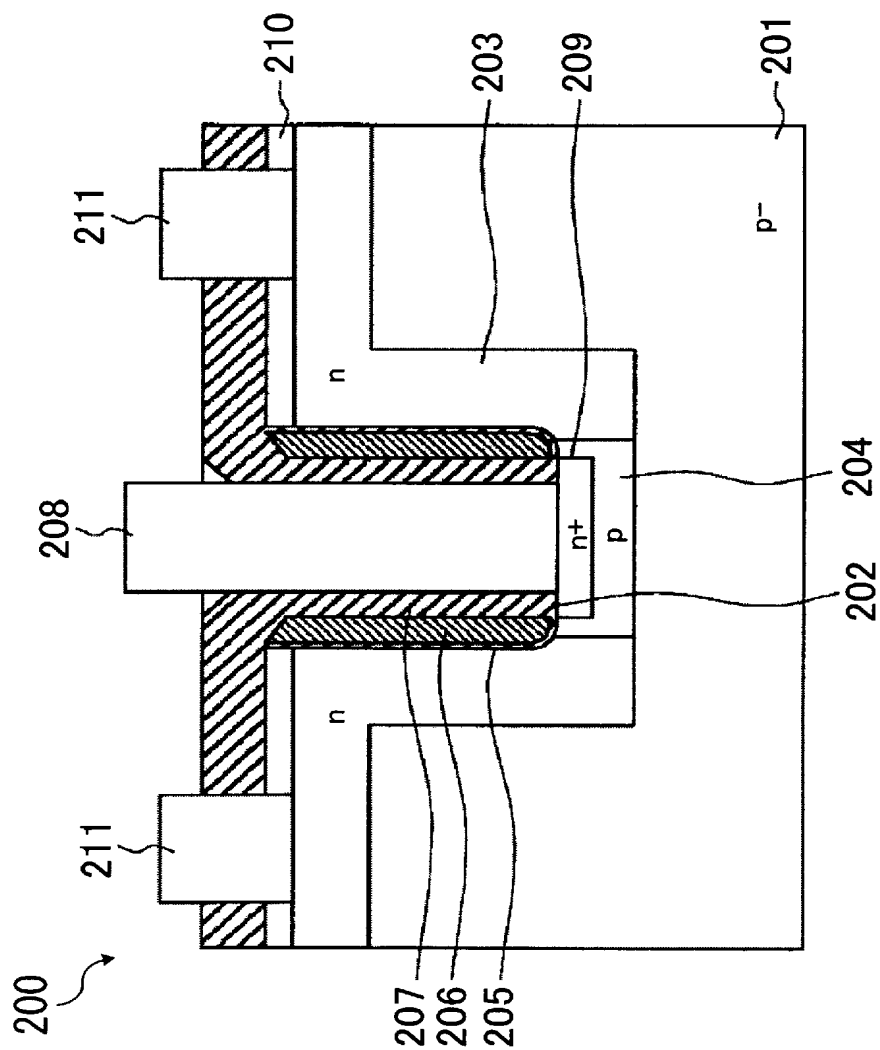
[図3]



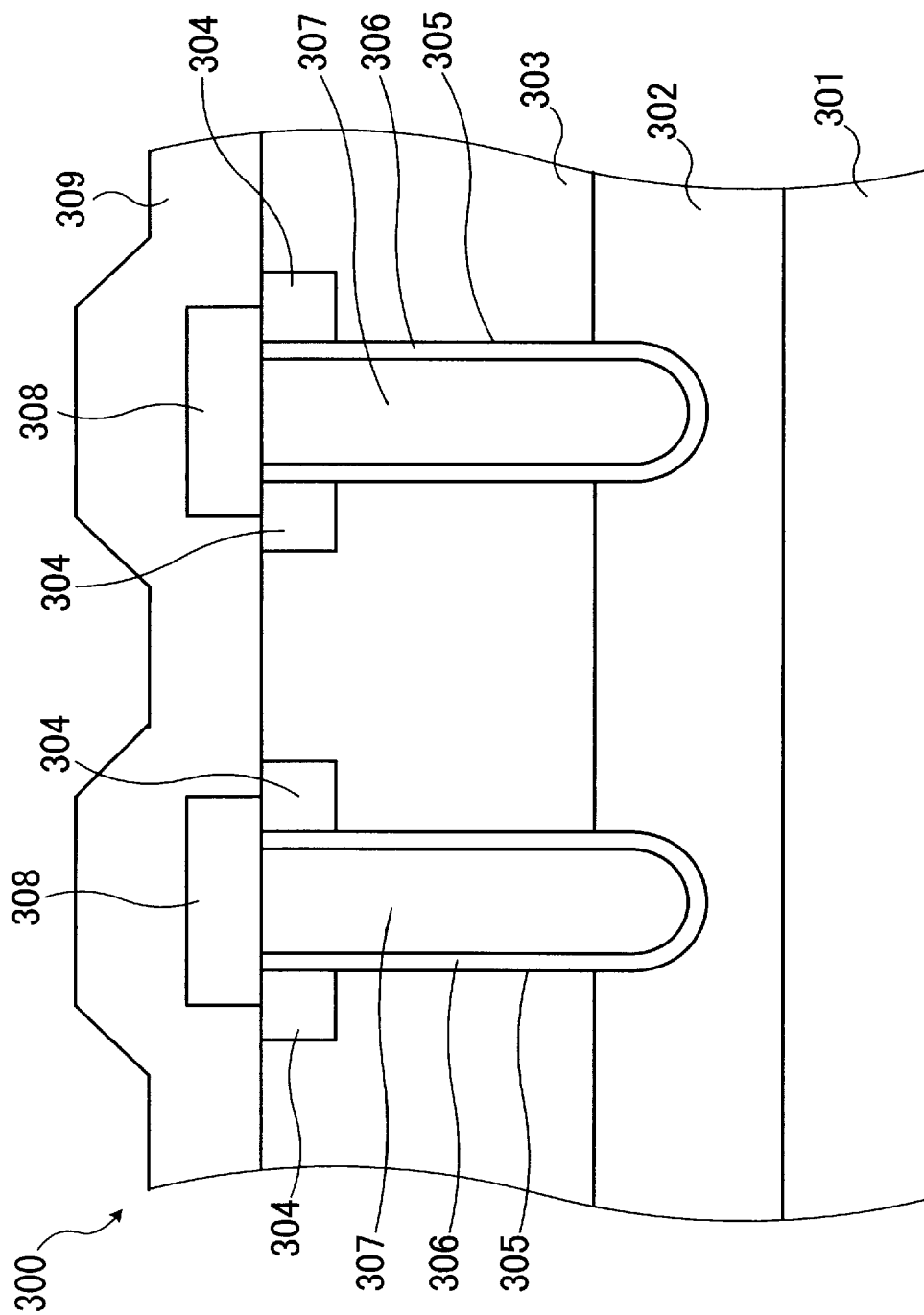
[図4]



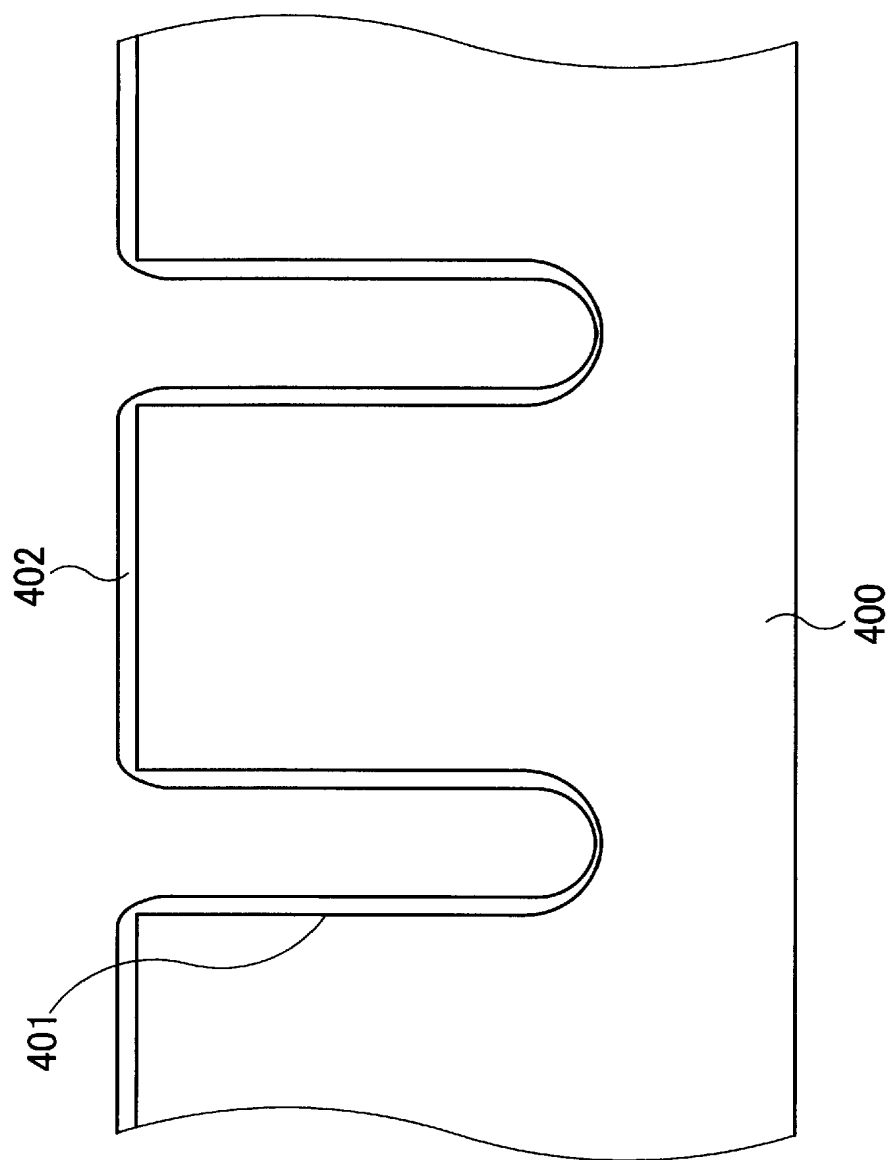
[図5]



[図6]



[図7]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/003731

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H01L29/78, C23C16/42, H01L21/316, H01L21/336

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L29/78, C23C16/42, H01L21/316, H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2003-069010 A (Sharp Corp.), 07 March, 2003 (07.03.03), Full text; all drawings (Family: none)	1-8, 11 9, 10
Y	JP 2001-036078 A (Seiko Epson Corp.), 09 February, 2001 (09.02.01), Par. Nos. [0012] to [0020] (Family: none)	9, 10

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance  
 "E" earlier application or patent but published on or after the international filing date  
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
 "O" document referring to an oral disclosure, use, exhibition or other means  
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
 "&" document member of the same patent family

Date of the actual completion of the international search  
10 May, 2005 (10.05.05)

Date of mailing of the international search report  
24 May, 2005 (24.05.05)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2005/003731

**Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
  
2. ☐ Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
  
3. ☐ Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

**Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)**

This International Searching Authority found multiple inventions in this international application, as follows:

The invention in claims 1-10 and the invention in claim 11 are linked only in a matter that "an oxide film is formed on an inner wall of a trench by chemical vapor deposition method". Since the matter has been disclosed as a conventional technology by the applicant in document JP 2001-85686 A (Mitsubishi Electric Corp.), 30 March, 2001 (30.03.01), paragraphs [0010]-[0011], Fig. 1, this matter cannot be considered as a special technical feature.

Therefore, there exists no special technical feature among a group of inventions in claims 1-11 to relate the group of inventions to form a single general inventive concept. (continued to extra sheet)

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
  
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

**Remark on Protest**

- ☐ The additional search fees were accompanied by the applicant's protest.
- ☒ No protest accompanied the payment of additional search fees.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2005/003731

Continuation of Box No.III of continuation of first sheet(2)

It is obvious that the group of inventions in claims 1-11 do not satisfy the requirement of unity of invention.



## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> H01L29/78, C23C16/42, H01L21/316, H01L21/336

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> H01L29/78, C23C16/42, H01L21/316, H01L21/336

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 2003-069010 A (シャープ株式会社) 2003.03.07, 全文, 全図 (ファミリーなし)	1-8, 11 9, 10
Y	JP 2001-036078 A (セイコーエプソン株式会社) 2001.02.09, 段落 番号【0012】～【0020】(ファミリーなし)	9, 10

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

10.05.2005

国際調査報告の発送日

24.05.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

綿引 隆

電話番号 03-3581-1101 内線 3498

4L

3239

## 第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 \_\_\_\_\_ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 \_\_\_\_\_ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 \_\_\_\_\_ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

## 第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

請求の範囲1～10に記載されている発明と、請求の範囲11に記載されている発明は「トレンチの内壁に化学気相成長法によって酸化膜を形成する」という事項でのみ連関していると認めるが、当該事項は、出願人が従来技術として開示している文献であるJP 2001-85686 A, 2001.03.30, 段落番号【0010】～【0011】、図1（三菱電機株式会社）に記載されているから、この事項は、特別な技術的特徴であるとはいえない。

そうすると、請求の範囲1～11に記載されている一群の発明の間には、単一の一般的発明概念を形成するように連関させるための特別な技術的特徴は存しないこととなる。そのために、請求の範囲1～11に記載されている一群の発明が発明の単一性の要件を満たしていないことが明らかである。

1. ☒ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

## 追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
- ☒ 追加調査手数料の納付と共に出願人から異議申立てがなかった。